



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 **Offenlegungsschrift**
①0 **DE 197 48 523 A 1**

⑤1 Int. Cl.⁶:
H 01 L 29/78

②1 Aktenzeichen: 197 48 523.5
②2 Anmeldetag: 3. 11. 97
④3 Offenlegungstag: 12. 5. 99

DE 197 48 523 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Werner, Wolfgang, Dr.-Ing., 81545 München, DE

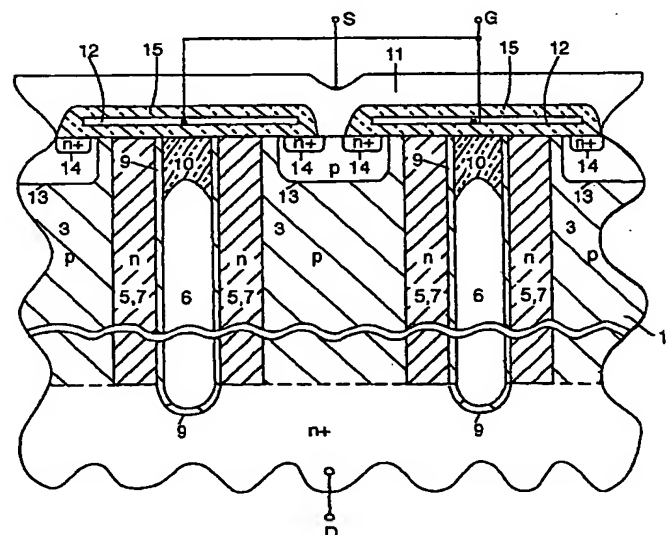
⑤6 Entgegenhaltungen:
DE-W4 43 09 764 C2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiterbauelement

⑤7 Die Erfindung betrifft ein Halbleiterbauelement mit einem Halbleiterkörper (1) mit zwei Hauptflächen, wenigstens zwei Elektroden (D, S), von denen jeweils wenigstens eine auf einer Hauptfläche vorgesehen ist, und im Halbleiterkörper (1) alternierend angeordneten und sich senkrecht zu den beiden Hauptflächen erstreckenden Zonen (3; 5, 7) von zueinander entgegengesetztem Leitungstyp. Die alternierend angeordneten Zonen (3; 5, 7) räumen bei Anlegen einer Spannung an die beiden Elektroden (D, S) gegenseitig ihre Ladungsträger aus, so daß sich im Halbleiterkörper (1) zwischen den beiden Elektroden eine im wesentlichen konstante Feldstärke aufbaut. Diese alternierend angeordneten Zonen (3; 5, 7) enthalten erfindungsgemäß wenigstens einen Hohlraum (6), der in bevorzugter Weise durch eine Glasschicht (10) verschlossen ist.



DE 197 48 523 A 1

Beschreibung

Die Erfindung betrifft ein Halbleiterbauelement mit einem Halbleiterkörper mit zwei Hauptflächen, wenigstens zwei Elektroden, von denen jeweils wenigstens eine auf einer Hauptfläche vorgesehen ist, und im Halbleiterkörper alternierend angeordneten und sich senkrecht zu den beiden Hauptflächen erstreckenden Zonen von zueinander entgegengesetztem Leitungstyp, wobei sich die alternierend angeordneten Zonen bei Anlegen einer Spannung an die beiden Elektroden gegenseitig von Ladungsträgern ausräumen, so daß sich im Halbleiterkörper zwischen den beiden Elektroden eine im wesentlichen konstante Feldstärke aufbaut.

Aus der DE 43 09 764 C2 ist ein ähnliches Halbleiterbauelement bekannt. Diese Druckschrift beschreibt nämlich einen Leistungs-MOSFET mit einem Halbleiterkörper mit einer Innenzone vom ersten Leitungstyp, mit einer an die Innenzone und eine erste Hauptfläche des Halbleiterkörpers angrenzenden Basiszone vom zweiten Leitungstyp, in die eine Sourcezone eingebettet ist, und mit einer an eine der Hauptflächen des Halbleiterkörpers angrenzenden Drainzone. In der Innenzone sind zusätzliche Zonen des zweiten Leitungstyps und zwischen diesen zusätzlichen Zonen liegende, höher als die Innenzone dotierte weitere zusätzliche Zonen vom ersten Leitungstyp vorgesehen.

Durch das in diesem Leistungs-MOSFET realisierte sog. "Junction-Trench"-Prinzip, dessen Bezeichnung auf die Erzeugung der zusätzlichen Zonen durch Gräben zurückgeht, kann der spezifische Einschaltwiderstand von hochsperrenden DMOS-Transistoren erheblich verbessert werden: die sonst bei DMOS-Transistoren homogen dotierte Driftzone wird nämlich durch die alternierend angeordneten Zonen von zueinander entgegengesetztem Leitungstyp, also durch alternierend angeordnete n-dotierte Zonen und p-dotierte Zonen, ersetzt. Diese n-dotierten Zonen und p-dotierten Zonen räumen bereits bei kleinen, an den jeweiligen Elektroden angelegten Spannungen ihre Ladungsträger gegenseitig aus, so daß sich bei einem solchen DMOS-Transistor, ähnlich wie bei einer PIN-Diode, bei Anlegen einer Sperrspannung eine nahezu konstante Feldstärke zwischen den beiden Elektroden, also der Drainelektrode bzw. dem hochdotierten n⁺-Drainanschluß und der Sourceelektrode bzw. dem p-leitenden Halbleiterkörper aufbauen kann. Die n-dotierten Zonen können dabei um etwa eine Größenordnung höher dotiert werden, was zu einer entsprechenden Reduzierung des Einschaltwiderstandes führt.

Das oben geschilderte Prinzip der Ausräumung des Driftgebietes von Ladungsträgern wird auch bei lateralen Resurftransistoren ("Resurf = reduced surface field") angewandt, wie dies in einem Aufsatz "1200 V High-Side Lateral MOSFET in Junction-Isolated Power IC Technology Using Two Field-Reduction Layers", von J.S. Ajit, Dan Kinzer und Niraj Ranjan in "International Rectifier", 233 Kansas St., El Segundo, CA 90245, Seiten 230 bis 235, beschrieben ist. Solche laterale Resurftransistoren lassen sich einfacher herstellen als vertikale Strukturen mit Zonen von alternierend unterschiedlichem Leitungstyp. Der laterale Aufbau bedingt aber einen erheblich größeren Flächenbedarf, der etwa um einen Faktor 10 größer ist als derjenige bei vertikalen Strukturen.

Zur Herstellung von vertikal zu den Hauptflächen eines Halbleiterkörpers sich erstreckenden Zonen von alternierend abwechselndem Leitungstyp, also von n-dotierten Zonen und p-dotierten Zonen werden zur Zeit verschiedene Wege beschritten: bei einem ersten Verfahren wird die sog. Aufbautechnik eingesetzt, bei der mit Hilfe entsprechender Masken die n-dotierten Zonen und die p-dotierten Zonen schrittweise "aufgebaut" werden. Ein zweites, derzeit bevor-

zugt diskutiertes Verfahren besteht darin, tiefe Gräben bzw. Löcher in beispielsweise einem n-dotierten Halbleiterkörper einzuzüten und die so entstandenen Löcher mit entgegengesetzt dotiertem Halbleitermaterial, also vorzugsweise Silizium, epitaktisch aufzufüllen. Für Spannungen in der Größenordnung von 600 V müssen hierzu die Gräben bzw. Löcher etwa 40 µm tief eingebracht werden und sollten dabei eine Breite aufweisen, die 2 µm nicht wesentlich überschreitet.

Das an zweiter Stelle genannte Verfahren erlaubt es, wesentlich kleinere Raster und damit auch kleinere Einschaltwiderstände zu realisieren als es mit der Aufbautechnik möglich ist. Ein großes Problem stellt hier aber die Auffüllung der Gräben bzw. Löcher dar: ob es jemals möglich sein wird, die Gräben lunkerfrei aufzufüllen, ist derzeit offen. Um die gewünschte Spannungsfestigkeit für Spannungen in der Größenordnung von 600 V zu erzielen, sollten die Gräben bzw. Löcher eine Tiefe von 40 µm haben. Die Herstellung eines vertikalen Resurftransistors mit den derzeit in Entwicklung befindlichen Verfahren ist also problematisch, wenn eine Spannungsfestigkeit bis etwa 600 V oder mehr erzielt werden soll.

Aus der DE 196 00 400 A1 ist ein mikromechanisches Bauteil mit einem planarisiertem Deckel auf einem Hohlraum bekannt. Dieser Deckel weist eine Membranschicht und eine Abdeckschicht auf, die vorzugsweise aus dotiertem Glas besteht. Die Abdeckschicht wird dabei einem Verfließschritt unterworfen, wobei sich zeigt, daß sie nicht in den Hohlraum hineinfließt, sondern einen an Ober- und Unterseite planen Deckel bildet.

Es ist Aufgabe der vorliegenden Erfindung, ein Halbleiterbauelement der eingangs genannten Art so zu verbessern, daß dieses ohne größere Schwierigkeiten, wie Lunker in Gräben usw. erzeugt werden kann; außerdem sollen ein Verfahren zum Herstellen eines derartigen Halbleiterbauelements sowie dessen vorteilhafte Verwendung angegeben werden.

Diese Aufgabe wird bei einem Halbleiterbauelement nach dem Oberbegriff des Patentanspruches 1 erfindungsgemäß durch die in dessen kennzeichnendem Teil erhaltenen Merkmale gelöst.

Ein vorteilhaftes Verfahren zum Herstellen eines solchen Halbleiterbauelements ist im Patentanspruch 9 angegeben. Vorteilhafte Verwendungsmöglichkeiten für das Verfahren ergeben sich aus dem Patentanspruch 11.

Außerdem sind vorteilhafte Weiterbildungen der Erfindung in den Unteransprüchen angegeben.

An dem erfindungsgemäßen Halbleiterbauelement ist also wesentlich, daß dieses wenigstens einen Hohlraum enthält, der eine Grabenstruktur mit einer Breite von beispielsweise 1 µm und einer Tiefe von beispielsweise 40 µm haben kann. Dieser Hohlraum ist an seinem der einen Hauptfläche gegenüberliegenden Ende verschlossen, wozu eine Glasschicht herangezogen werden kann. Diese Glasschicht kann beispielsweise aus dotiertem Borphosphorsilikat (BPSG) bestehen. Eine andere Möglichkeit zum Verschließen des Hohlraumes besteht im Sputtern einer Abdeckschicht.

Die Innenwände des Hohlraumes können mit einer Passivierungsschicht aus beispielsweise Siliziumdioxid versehen werden.

Wesentlich an dem erfindungsgemäßen Halbleiterbauelement ist, daß auf das vollständige Auffüllen von Löchern bzw. Gräben verzichtet wird. Vielmehr bleiben die Gräben nach Herstellung der alternierend angeordneten, entgegengesetzt zueinander dotierten Zonen erhalten. Diese Zonen können beispielsweise durch Ätzen von Gräben und anschließende epitaktische Abscheidung oder durch Abscheidung eines dotierten Oxides auf die Innenfläche der Gräben

und anschließende Ausdiffusion aus dem dotierten Oxid erzeugt werden.

Für die Herstellung der Gräben selbst kann die übliche Ätztechnik oder aber auch ein elektrochemisches Verfahren eingesetzt werden. Von Bedeutung ist aber, daß nach Erzeugung der entgegengesetzt zueinander dotierten Zonen die Gräben noch eine Öffnung von etwa 1 µm über ihrer gesamten Tiefe von beispielsweise 40 µm besitzen.

Wie bereits erwähnt wurde, wird vor dem Verschließen der Gräben deren Innenwand durch eine dünne Oxidschicht passiviert, wofür eine beispielsweise 50 nm dicke Gateoxidschicht herangezogen werden kann.

Das Verschließen der Gräben bzw. Löcher kann beispielsweise durch Abscheidung eines dotierten Glases, wie beispielsweise Borphosphorsilikatglas, und anschließendes Verfließen im Vakuum vorgenommen werden. Jedoch kann auch durch Sputtern eine Verschußschicht auf die Öffnungen der Gräben bzw. Löcher aufgebracht werden.

Nach Auftragen des dotierten Glases wird dieses in üblicher Weise naßchemisch in verdünnter Flußsäure (HF) zurückgeätzt, so daß eine planare Oberflächenstruktur entsteht.

Wird ein vertikaler Resurftransistor hergestellt, so kann die Transistorstruktur anschließend zwischen den Gräben mittels einer Standard-DMOS-Zelle aufgebaut werden. Es ist aber auch möglich, zuerst beispielsweise einen DMOS-Transistor herzustellen und anschließend die Gräben bzw. Löcher zu ätzen und diese sodann, wie oben erläutert wurde, zu dotieren und zu verschließen.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 einen Schnitt durch eine Halbleiteranordnung zur Erläuterung eines ersten Verfahrens zur Erzeugung von Gräben und alternierend entgegengesetzt dotierten Schichten,

Fig. 2 einen Schnitt durch eine Halbleiteranordnung zur Erläuterung eines zweiten Verfahrens zum Herstellen von Gräben und alternierend entgegengesetzt dotierten Schichten,

Fig. 3 bis 5 Schnitte zur Erläuterung eines Verfahrens zum Verschließen der Gräben,

Fig. 6 einen Schnitt durch einen DMOS-Transistor gemäß einem Ausführungsbeispiel der Erfindung und

Fig. 7 einen Schnitt durch einen DMS-Transistor gemäß einem anderen Ausführungsbeispiel der Erfindung.

Fig. 1 zeigt einen Halbleiterkörper 1 aus einem n⁺-leitenden Bereich 2 und einem p-leitenden Bereich 3. Der p-leitende Bereich 3 kann beispielsweise durch epitaktische Abscheidung auf dem n⁺-leitenden Bereich 2, der als Substrat dient, ausgebildet werden.

In den p-leitenden Bereich 3 werden durch Ätzen Gräben 4 mit einer Tiefe T von etwa 40 µm und einer Breite B von etwa 3 µm eingebracht. Anstelle des Ätzens kann auch ein elektrochemisches Verfahren herangezogen werden. Die Äztiefe kann auch geringer sein als die Dicke des Bereiches 3.

Sodann wird in den Gräben 4 eine n-leitende epitaktische Schicht 5 abgeschieden, die eine Schichtdicke d von etwa 1 µm besitzt. Nach Auftragen dieser epitaktischen Schicht 5 verbleibt so im Graben 4 ein Hohlraum 6, der noch eine Breite b von etwa 1 µm besitzt.

Die jeweiligen epitaktischen Schichten 5 und der p-leitende Bereich 3 bilden so alternierend angeordnete und sich senkrecht zu den beiden Hauptflächen des Halbleiterkörpers 1 erstreckende Zonen von zueinander entgegengesetztem Leitungstyp.

Fig. 2 veranschaulicht ein anderes Verfahren zum Herstellen dieser Zonen von zueinander entgegengesetztem Leitungstyp: auch bei diesem Verfahren werden zunächst Gräben 4 mit einer Breite von etwa 2,2 bis 3 µm in den p-leiten-

den Bereich 3 bis zu dem n⁺-leitenden Bereich 2 eingebracht. Anstelle der epitaktischen Schicht 5 wird hier aber auf die Innenfläche der Gräben 4 eine dotierte Oxidschicht 8, beispielsweise eine dotierte Siliziumdioxidschicht, abgeschieden, die anschließend erwärmt wird, so daß aus der dotierten Oxidschicht 8 Dotierstoff, beispielsweise Phosphor, in die benachbarten Gebiete des p-leitenden Bereiches 3 eindringt, um dort eine n-leitende Zone 7 zu bilden. Diese dotierte Oxidschicht 8 weist eine Schichtdicke von etwa 0,1 bis 0,5 µm auf, so daß auch hier eine Restbreite b von etwa 1 µm für den Hohlraum 6 zurückbleibt.

Unabhängig davon, ob das Verfahren gemäß Fig. 1 ("Trenchätzen und Epiabscheidung") oder das Verfahren nach Fig. 2 ("Trenchätzen, Abscheiden von dotiertem Oxid und Ausdiffusion") durchgeführt wird, ist wesentlich, daß der Hohlraum 6 mit einer Breite b von etwa 1 µm über einer Tiefe T von etwa 40 µm (ausreichend für 600 V) zurückbleibt.

Mit der Halbleiteranordnung gemäß Fig. 1 oder Fig. 2 wird sodann in der in den Fig. 3 bis 5 gezeigten Weise verfahren: nach Abscheidung einer dünnen Passivierungsschicht 9 aus beispielsweise Siliziumdioxid mit einer Schichtdicke von etwa 50 nm wird auf die Öffnung des Hohlraumes 6 ein dotiertes Glas 10, wie beispielsweise Borphosphorsilikatglas, aufgetragen und anschließend im Vakuum zum Verfließen gebracht, so daß die in Fig. 4 gezeigte Struktur entsteht. Sodann wird das dotierte Glas 10 zurückgeätzt, was durch naßchemisches Ätzen in verdünnter Flußsäure geschehen kann, um so eine planare Struktur entsprechend der Fig. 5 zu erhalten.

Unterhalb dem dotierten Glas verbleibt der Hohlraum 6 mit einer Breite b von etwa 1 µm unter Vakuum zurück.

Fig. 6 zeigt, wie zwischen den einzelnen Hohlräumen 6 bzw. Gräben 4 ein Standard-DMOS-Transistor mit einer Sourceelektrode S, einer Drainelektrode D, einer Gateelektrode G, einem Sourcekontakt 11 aus Aluminium, Gatekontakten 12 aus polykristallinem Silizium und n⁺-leitenden Sourcezonen 14 in p-Wannen 13 aufgebaut werden kann. Die Gate-Kontakte 12 sind dabei in eine Isolierschicht 15 aus beispielsweise Siliziumdioxid eingebettet.

Fig. 7 veranschaulicht ein Ausführungsbeispiel, bei dem zunächst die Struktur mit dem DMOS-Transistor hergestellt ist, worauf sich das Ätzen des Grabens 4 und die Herstellung des Hohlraumes 6 anschließt.

Die Erfindung ermöglicht so ein Halbleiterbauelement, das in einfacher Weise hergestellt werden kann, da die Zonen mit alternierend abwechselndem Leitungstyp ohne weiteres mit Hilfe der Gräben 4 erzeugt werden können und die verbleibenden Hohlräume 6 ohne weiteres zu verschließen sind. Auch ist der Flächenbedarf des erfindungsgemäßen Halbleiterbauelements äußerst gering, da die die Ausräumung der Ladungsträger bewirkenden Zonen vertikal zu den Hauptflächen verlaufen, so daß eine hohe Integrationsdichte erzielbar ist.

Das erfindungsgemäße Halbleiterbauelement kann in vorteilhafter Weise ein Transistor, insbesondere ein vertikaler Resurftransistor, oder eine Diode, insbesondere eine Schottky-Diode, oder auch ein Kondensator sein.

Bezugszeichenliste

- 1 Halbleiterkörper
- 2 n⁺-Bereich
- 3 p-Bereich
- 4 Graben
- 5 epitaktische Schicht
- 6 Hohlraum
- 7 n-leitende Zone

8 dotierte Oxidschicht	
9 Passivierungsschicht	
10 dotiertes Glas	
11 Source-Kontakt	
12 Gate-Kontakt	5
13 p-Wannen	
14 Source-Zonen	
15 Isolierschicht	
T Tiefe	
B Breite	10
d Schichtdicke	
b Breite	
S Sourcelektrode	
D Drainelektrode	
G Gatelektrode	15

Patentansprüche

1. Halbleiterbauelement mit:
 - einem Halbleiterkörper (1) mit zwei Hauptflächen, wenigstens zwei Elektroden (S, D), von denen jeweils wenigstens eine auf einer Hauptfläche vorgesehen ist, und
 - im Halbleiterkörper (1) alternierend angeordneten und sich senkrecht zu den beiden Hauptflächen erstreckenden Zonen (3; 5, 7) von zueinander entgegengesetztem Leitungstyp, wobei sich die alternierend angeordneten Zonen (3; 5, 7) bei Anlegen einer Spannung an die beiden Elektroden (S, D) gegenseitig von Ladungsträgern ausräumen, so daß im Halbleiterkörper (1) zwischen den beiden Elektroden (S, D) eine im wesentlichen konstante Feldstärke aufbaut, 35

dadurch gekennzeichnet, daß
die alternierend angeordneten Zonen (3; 5, 7) wenigstens einen Hohlraum (6) enthalten.
2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß der Hohlraum (6) eine Grabenstruktur mit einer Breite (b) von etwa 1 µm und einer Tiefe (T) von etwa 40 µm hat. 40
3. Halbleiterbauelement nach Anspruch 2, dadurch gekennzeichnet, daß der Hohlraum (6) an seinem der einen Hauptfläche gegenüberliegenden Ende verschlossen ist. 45
4. Halbleiterbauelement nach Anspruch 3, dadurch gekennzeichnet, daß der Hohlraum durch eine Glasschicht (10) verschlossen ist.
5. Halbleiterbauelement nach Anspruch 4, dadurch gekennzeichnet, daß die Glasschicht (10) aus dotiertem Borphosphorsilikat besteht. 50
6. Halbleiterbauelement nach Anspruch 3, dadurch gekennzeichnet, daß der Hohlraum (6) durch eine gesputterte Schicht verschlossen ist. 55
7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Innenwände des Hohlraumes (6) mit einer Passivierungsschicht (9) versehen sind.
8. Halbleiterbauelement nach Anspruch 7, dadurch gekennzeichnet, daß die Passivierungsschicht (9) eine Siliziumdioxidschicht mit einer Schichtdicke von etwa 50 nm ist.
9. Verfahren zum Herstellen eines Halbleiterbauelements nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß nach dem Einbringen von Gräben (4) in den Halbleiterkörper (1) auf den Innenwänden der Gräben (4) eine dünne epitaktische Schicht (5) ab-

geschieden oder eine dotierte Oxidschicht (8) aufgetragen wird, und daß dann der verbleibende Hohlraum (6) der Gräben (4) verschlossen wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß das Verschließen des Hohlraumes (6) mittels eines dotierten Glases (10) erfolgt, das zur Planarisierung rückgätzt wird.

11. Verwendung des Verfahrens nach Anspruch 9 oder 10 zur Herstellung eines Transistors, insbesondere eines vertikalen Resurftransistors, oder einer Diode, insbesondere einer Schottky-Diode, oder eines Kondensators.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

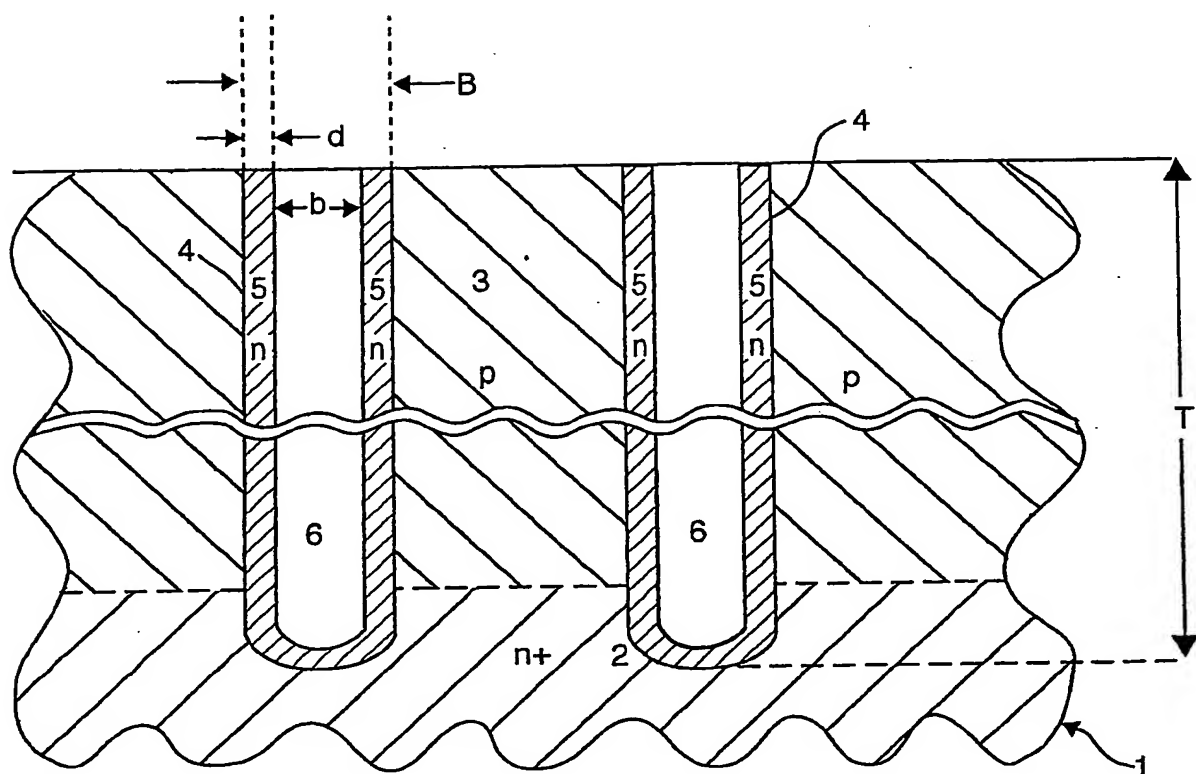


Fig. 1

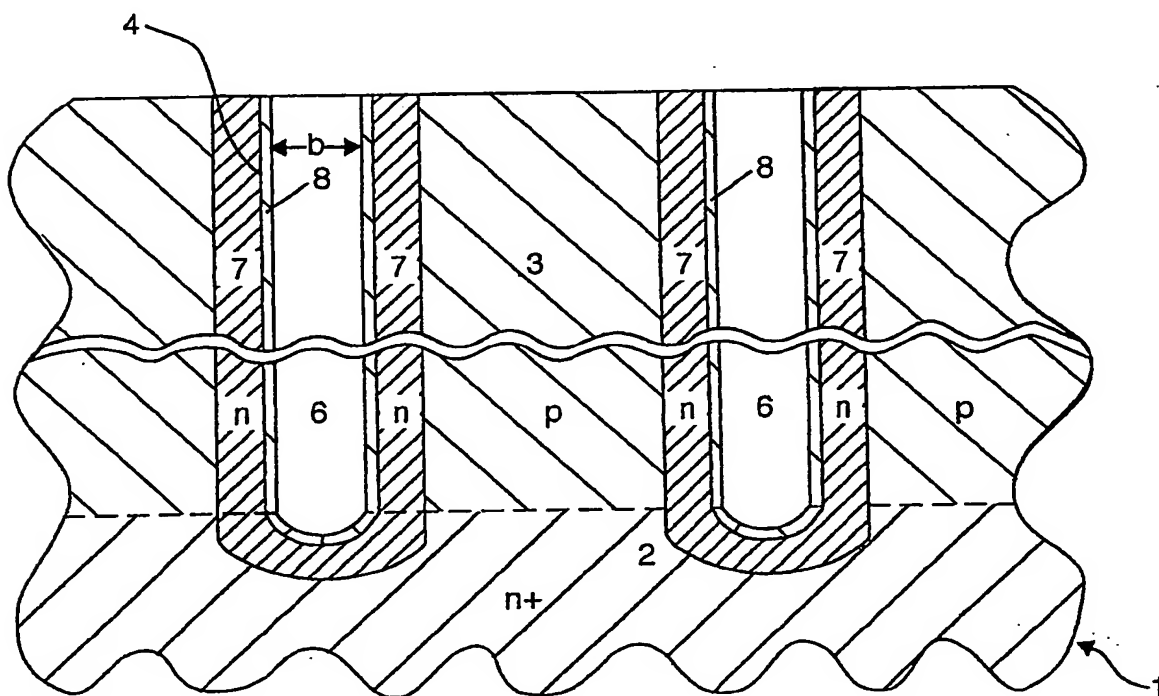


Fig. 2

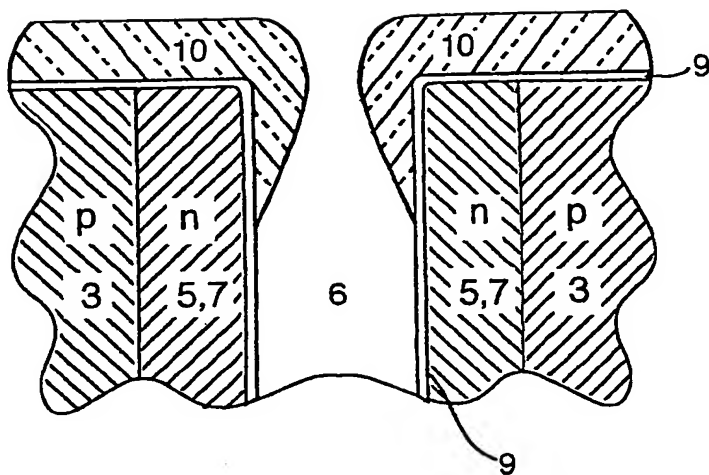


Fig. 3

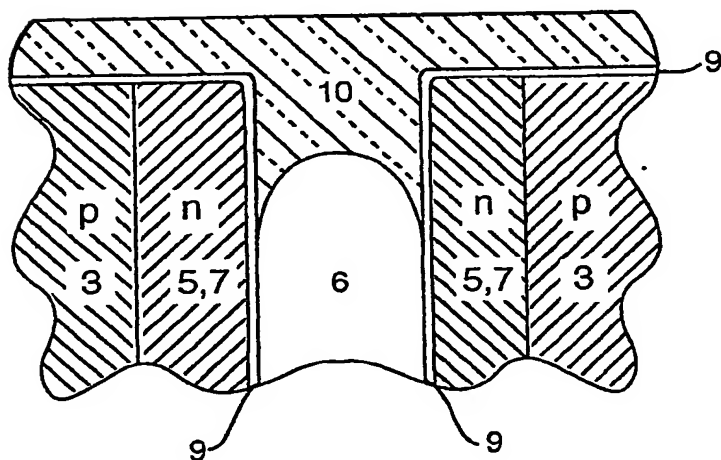


Fig. 4

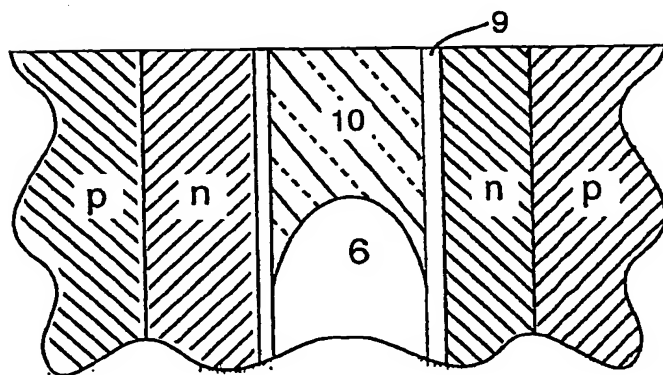


Fig. 5

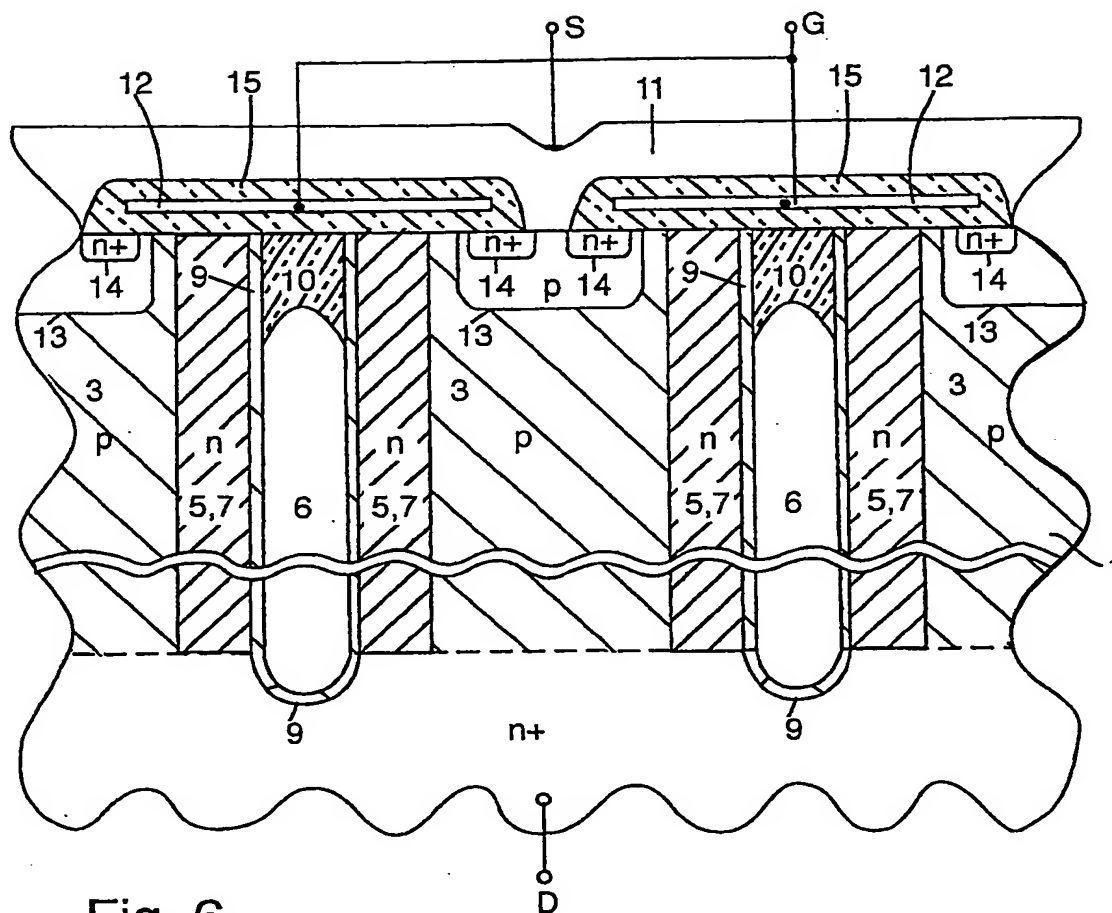


Fig. 6

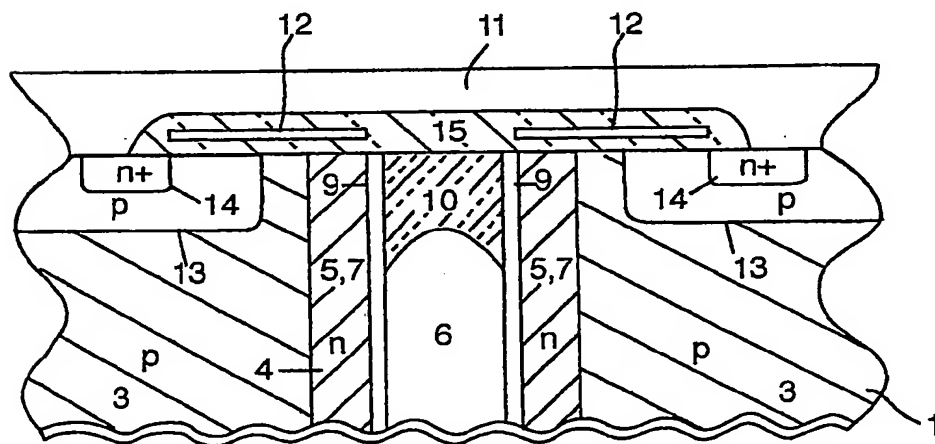


Fig. 7